

⑪ 公開特許公報(A)

平3-48333

⑫ Int. Cl.⁴G 06 F 9/22
15/72

識別記号

3 5 0 C
A

庁内整理番号

7361-5B
7165-5B

⑬ 公開 平成3年(1991)3月1日

審査請求 未請求 請求項の数 10 (全10頁)

⑭ 発明の名称 プロセッサおよび描画プロセッサ

⑮ 特 願 平1-182973

⑯ 出 願 平1(1989)7月14日

⑰ 発 明 者 古 橋 勉 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内

⑱ 発 明 者 田 中 紀 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 株式会社日立マイクロソフトウエアシステムズ 神奈川県横浜市戸塚区吉田町292番地

㉑ 代 理 人 弁理士 富田 和子

最終頁に続く

明 細 書

1. 発明の名称

プロセッサおよび描画プロセッサ

2. 特許請求の範囲

1. 演算処理等を行う演算手段と、演算手段を制御する複数のマイクロルーチンを記憶した制御メモリと、入力された命令を、対応するマイクロルーチンの開始アドレスに変換するマッピング手段と、前記開始アドレスよりマイクロルーチンを実行する手段とを有するプロセッサであって、

入力された命令が、プロセッサ自身の命令セット内の命令の有する機能と同一の機能を、異なるコードで示したものであるか否かを判定する判定手段と、異なるコードで示したものであると判定された場合に、入力された命令のコードを同一の機能を有するプロセッサ自身の命令セット内の命令のコードに変換する命令変換手段と、を有することを特徴とするプロセッサ。

2. 演算処理等を行う演算手段と、演算手段を制

御する複数のマイクロルーチンを記憶した制御メモリと、入力された命令を、対応するマイクロルーチンの開始アドレスに変換するマッピング手段と、前記開始アドレスよりマイクロルーチンを実行する手段とを有するプロセッサであって、

入力された命令が、プロセッサ自身の命令セット内の命令のフォーマットと、異なるフォーマットのものであるか否かを判定するフォーマット判定手段と、異なるフォーマットのものである場合に、入力された命令のフォーマットをプロセッサ自身の命令セット内の命令のフォーマットに変換する命令フォーマット変換手段とを有することを特徴とするプロセッサ。

3. 請求項1または2記載のプロセッサであって、

変換する命令のオペランドデータのフォーマットをプロセッサ自身のオペランドデータのフォーマットに変換するデータ変換手段とを有することを特徴とするプロセッサ。

4. 描画処理等を行う描画演算手段と、描画演算

手段を制御する複数のマイクロルーチンを記憶した制御メモリと、入力された命令を、対応するマイクロルーチンの開始アドレスに変換するマッピング手段と、前記開始アドレスよりマイクロルーチンを実行する手段とを有する描画プロセッサであって、

入力された命令が、描画プロセッサ自身の命令セット内の命令の有する機能と等価の機能を、異なるコードで示したものであるか否かを判定する判定手段と、異なるコードで示したものであると判定された場合に、入力された命令のコードを等価の機能を有する描画プロセッサ自身の命令セット内の命令のコードに変換する命令変換手段と、を有することを特徴とする描画プロセッサ。

5. 描画処理等を行う描画演算手段と、描画演算手段を制御する複数のマイクロルーチンを記憶した制御メモリと、入力された命令を、対応するマイクロルーチンの開始アドレスに変換するマッピング手段と、前記開始アドレスよりマイ

および、請求項4、6記載の描画プロセッサ。

8. 入力された命令とプロセッサ自身の命令セット内の命令とのフォーマットの変換テーブルを記録したメモリを含む前記命令フォーマット変換手段を有することを特徴とする請求項2、3記載のプロセッサ、および、請求項5、6記載の描画プロセッサ。
9. 前記メモリは書替可能なメモリであり、かつ、該書替可能なメモリを書き換える手段を有することを特徴とする請求項7または8記載のプロセッサ。
10. 前記メモリは書替可能なメモリであり、かつ、該書替可能なメモリを書き換える手段を有することを特徴とする請求項7または8記載の描画プロセッサ。
3. 発明の詳細な説明

[産業上の利用分野]

本発明は、プロセッサに関し、特に、自プロセッサの命令セット以外の命令の実行に関するものである。

クロルーチンを実行する手段とを有する描画プロセッサであって、

入力された命令が、プロセッサ自身の命令セット内の命令のフォーマットと、異なるフォーマットのものであるか否かを判定するフォーマット判定手段と、異なるフォーマットのものである場合に、入力された命令のフォーマットをプロセッサ自身の命令セット内の命令のフォーマットに変換する命令フォーマット変換手段を有することを特徴とする描画プロセッサ。

6. 請求項4または5記載の描画プロセッサであって、

変換する命令のオペランドデータのフォーマットをプロセッサ自身のオペランドデータのフォーマットに変換するデータ変換手段とを有することを特徴とする描画プロセッサ。

7. 入力された命令とプロセッサ自身の命令セット内の命令とのコードの変換テーブルを記録したメモリを含む前記命令変換手段を有することを特徴とする請求項1、3記載のプロセッサ、

[従来の技術]

従来の装置は、特開昭61-97748号公報に記載されているように、プロセッサは、命令された計算結果を得るための演算処理等を行なうマイクロマシーン（以下、演算回路と呼ぶ。）と、演算回路を制御するマイクロルーチンを有し、命令（以下、オペコードという）に対応した所望のマイクロルーチンを実行するために、所定のマイクロルーチンの開始アドレスを、命令の各々に対応づけている。

当然に、オペコードや、オペコードおよびオペランドデータのフォーマットは、あらかじめプロセッサに定義されている。この定義されたオペコードのセットを命令セットと呼ぶ。

プログラムを実行する場合、オペコードは、各々該プロセッサに定義されたフォーマットおよびコードでプロセッサに与えられ、オペコードは、マッピング回路にて、オペコードに対応したマイクロルーチンの開始マイクロアドレスにマッピングされる。そして、マッピングされたマイクロル

ーチンの処理を実行し、演算回路にて所望の演算処理が為される。

〔発明が解決しようとする課題〕

前記、従来例は、入力されるオペコードが、プロセッサに定義されているオペコードと同一機能であるが、異なったコードまたはフォーマットで作成されたオペコードが、該プロセッサに入力された場合について考慮されていなかった。

したがって、1のプロセッサ用に作成されたプログラムの1部を、変更することなしに他のプロセッサ用に作成するプログラムに流用したい場合等においても、実行を制御する演算回路に供給するマイクロルーチンの開始アドレスを指定するオペコードのコードが固定されているため、入力されるオペコードが、プロセッサに定義されているオペコードの機能と同一機能であっても、オペコードのコードが異なる場合、対応する機能のマイクロルーチンと呼びだすことが出来ないという問題点があった。

また、もし、オペコードのコードが同一でも、

段と、異なるコードで示したものであると判定された場合に、入力された命令のコードを同一の機能を有するプロセッサ自身の命令セット内の命令のコードに変換する命令変換手段と、を備えたプロセッサを提供する。

また、前記プロセッサに、入力された命令が、プロセッサ自身の命令セット内の命令のフォーマットと、異なるフォーマットのものであるか否かを判定するフォーマット判定手段と、異なるフォーマットのものである場合に、入力された命令のフォーマットをプロセッサ自身の命令セット内の命令のフォーマットに変換する命令フォーマット変換手段を備えたものを提供する。

さらに、本発明は、前記目的達成のために、前記プロセッサに、変換する命令のオペランドデータのフォーマットをプロセッサ自身のオペランドデータのフォーマットに変換するデータ変換手段を備えたものである。

また、あわせて、本発明は、描画処理等を行う描画演算手段と、描画演算手段を制御する複数の

フォーマットが異なるため、オペコードの機能と対応する機能を実行するマイクロルーチンと呼びだすことが出来ないという問題点があった。

本発明は、所望の処理を行うべくプロセッサに入力されたプログラムのオペコードが、プロセッサに定義されているオペコードと異なったコードまたはフォーマットで作成されたものであっても、機能が同一である場合には、支障なく実行できるプロセッサを提供することにある。

〔課題を解決するための手段〕

前記目的を達成するために、本発明は、演算処理等を行う演算手段と、演算手段を制御する複数のマイクロルーチンを記憶した制御メモリと、入力された命令を、対応するマイクロルーチンの開始アドレスに変換するマッピング手段と、前記開始アドレスよりマイクロルーチンを実行する手段とを有し、

入力された命令が、プロセッサ自身の命令セット内の命令の有する機能と同一の機能を、異なるコードで示したものであるか否かを判定する判定手

マイクロルーチンを記憶した制御メモリと、入力された命令を、対応するマイクロルーチンの開始アドレスに変換するマッピング手段と、前記開始アドレスよりマイクロルーチンを実行する手段とを有し、

入力された命令が、描画プロセッサ自身の命令セット内の命令の有する機能と等価の機能を、異なるコードで示したものであるか否かを判定する判定手段と、異なるコードで示したものであると判定された場合に、入力された命令のコードを等価の機能を有する描画プロセッサ自身の命令セット内の命令のコードに変換する命令変換手段と、を備えた描画プロセッサを提供する。

また、前記描画プロセッサに、入力された命令が、描画プロセッサ自身の命令セット内の命令のフォーマットと、異なるフォーマットのものであるか否かを判定するフォーマット判定手段と、異なるフォーマットのものである場合に、入力された命令のフォーマットを描画プロセッサ自身の命令セット内の命令のフォーマットに変換する命令

フォーマット変換手段を備えた描画プロセッサをも提供する。

また、さらに、前記描画プロセッサに、変換する命令のオペランドデータのフォーマットを描画プロセッサ自身のオペランドデータのフォーマットに変換するデータ変換手段を備えたものをも提供する。

なお、前記の命令変換手段は、入力された命令とプロセッサ自身の命令セット内の命令とのコードの変換テーブルを記録したメモリを備えることが望ましく、前記命令フォーマット変換手段は、入力された命令とプロセッサ自身の命令セット内の命令とのフォーマットの変換テーブルを記録したメモリを備えることが望ましく、前記のデータ変換手段は、変換する命令のオペランドデータとプロセッサ自身のオペランドデータとのフォーマットの変換テーブルを記録したメモリを備えることが、望ましい。

また、この場合、前記のプロセッサおよび描画プロセッサは、書替可能な前記メモリと、メモリ

命令フォーマット変換手段は、判定手段またはフォーマット判定手段にて、プロセッサの命令セットのオペコードと、コードまたはフォーマットが異なると判定された各々のオペコードを、メモリに記録されている、オペコードと同一機能の該プロセッサの命令セットのオペコードとの一覧である変換テーブルにより、該プロセッサの命令セットのオペコードの、コードおよびフォーマットに変換する。

さらに、データ変換手段は、変換されるオペコードのオペランドデータを、自プロセッサの命令セットのオペコードに対応するフォーマットに変換する。

演算回路を制御する前記マッピング手段は、オペコードの機能を実行するマイクロルーチンの開始アドレスを、変換されたオペコードよりマッピングする。

以上のように、入力されたオペコード、および、そのオペランドデータは、マッピング手段、マイクロルーチン、および、演算回路が処理できるコ

を書き換える手段とを具備することが望ましい。

〔作用〕

入力される命令が、プロセッサの命令セットのオペコードと、コードおよびフォーマットが異なる場合があり、また、そのオペランドデータのフォーマットが、プロセッサの命令セットのオペコードに対応するフォーマットと異なる場合があるプロセッサへ、本発明を適用した例を、本発明の1態様として説明する。

まず、プロセッサの有する命令セットと、実行しようとするプログラムがターゲットとする自プロセッサ以外のプロセッサの命令セットのコードおよびフォーマットとを、機能により対応づけメモリに変換テーブルとして記録する。なお、この変換テーブルは、必要に応じて書き換える。

プロセッサの命令セットのオペコードと、コードまたはフォーマットが異なるオペコードを有するプログラムが実行されると、判定手段、および、フォーマット判定手段は、その旨、各々のオペコードについて判定する。命令変換手段、および、

コードおよびフォーマットに変換されるため、該プロセッサの命令セットのオペコードと、コードまたはフォーマットが異なるオペコードを有するプログラムが実行されたときでも、従来のプロセッサと同様に処理が行える。

また、描画プロセッサ等においては、オペコードの示す機能が、描線等の定性的なマクロ機能であることがあり、その場合は、厳密に同一機能でなくとも、等価機能で代替できる。

そこで、描画プロセッサにおいては、その機能が描画プロセッサに命令セットの機能中に存在しない場合には、入力されたオペコードを、描画プロセッサの命令セット中、入力されたオペコードの機能と代替可能な等価機能を有するオペコードに変換する。

また、さらに、入力された命令のオペランドデータの形式の不足やデータ系列を、補いまたは変換して、演算処理可能なデータとすることにより、プロセッサの有する命令セットのオペコードの機能の代替可能範囲を拡張し、オペランドの変換機

能を拡張する。

さらに、メモリに記憶される変換テーブルのデータを必要に応じてプログラマブルに更新することにより、前記のターゲットとするプロセッサをプログラマブルに変更できる。

【実施例】

以下、本発明の一実施例を、第1図から第4図を参照して説明する。

第1図は、本発明に係る描画プロセッサの描画処理部の構成を示すブロック図である。

図中、100は、演算の種類を指定するオペコード101と、演算が施されるオペランドデータ102を含む入力プログラムを示す。

103は、命令を一時記憶する命令レジスタ、104は、変換テーブルであり、入力されたオペコード101を、描画処理部特有のオペコード107に変換し、オペコード107用のデータフォーマットにデータ102を変換するための制御信号を生成する。さらに、命令100が、自描画プロセッサ用の命令か否かをオペレーションコー

ド101より判定する。

105は、セレクトタであり、入力されたプログラム100が自描画プロセッサ用の命令であるときには、オペコード101を有効とし、オペコード110として出力し、自描画プロセッサ自身以外の、他の描画プロセッサ用の命令であるときには、オペコード107を有効としてオペコード110として出力する。

106は、データバス回路であり、入力されたプログラム100のオペランドデータ102を、自描画プロセッサ用のオペランドのデータフォーマットに変換する回路である。

111は、マッピング回路でありオペコード110を入力して、対応するマイクロルーチンの開始アドレスをマッピングする。

112は、マイクロルーチン内の一命令を読み出すマイクロアドレスを一時記憶するマイクロアドレスレジスタであり、一命令が読みだされる度に、更新される。

114は、制御メモリであり所望の命令を実行

するための、マイクロプログラムデータより成る複数のマイクロルーチンを記憶している。

115は、マイクロプログラムを順次読み出す、インクリメント回路である。

116は、マイクロルーチン内の読みだされたマイクロプログラムデータを一時記憶し、命令118を実行するための制御信号を生成するマイクロ命令レジスタである。

117は、演算回路でありマイクロルーチンのマイクロプログラムの命令に従い演算を実際に行う制御回路である。

121は、演算結果を一時記憶する出力データレジスタであり、描画データ122を出力する。

第2図に、第1図で示した変換テーブル104の構成の一例を示す。

図中、200は、入力バッファであり、オペコードを解釈するデコーダ201と、オペコードが自描画プロセッサ用のオペコードか否かを判定した結果を記憶するフラグ202とから構成される。

205A、205B、205C、～205nは、

命令記憶回路であり、描画処理部の有するオペコード203A、203B、203C、～203nと、データフォーマットコード204A、204B、204C、～204nが記憶されている。

206は、セレクトタであり命令記憶回路205A、205B、205C、～205nの出力データを選択し、オペコード107、データフォーマットコード108として出力する。

第3図に、前記第1図で示したデータバス回路106の構成の一例を示す。

図中300は、データフォーマット変換回路であり、入力データ102のビットの並びを、所望の並びに変換し出力する回路である。

303は、ALUであり演算回路117で演算が施されるためのデータ要素の前処理を行う。

第4図は、前記第3図で示したデータフォーマット変換回路300の一例を示したものである。

第4図aは、4ビットデータの変換回路である。図中、400A、400B、400C、400D

はセクタである。

401は、データフォーマットコード108を解釈するデコーダであり、選択信号402A、402B、402Cを生成する。

第4図b、c、dは、各選択信号402A、402B、402Cが有効となったときのデータの各ビットの変換状態を示したものである。

以下、本実施例の動作を説明する。

第1図において、命令100は、命令レジスタ102で一時記憶された後、オペコード101と、オペランドデータ102に分割される。オペコード101は、変換テーブル104、および、セクタ105に、またオペランドデータ102は、データバス回路106にそれぞれ入力される。

変換テーブル104では、第2図に示すようにオペコード101を入力バッファ200で受付後、デコーダ201でオペコード101を解釈する。

つまり、入力されたオペコード101が、自描画プロセッサ用のオペコードが否かを判断し、その結果を、フラグ202にセットする。さらに入

力されたオペコード101が、自描画プロセッサ用のオペコードでない場合には、セクタ206の選択信号207を生成して、入力されたオペコード101の、等価機能をもつ自描画プロセッサ用のオペコード203A、203B、203C～203nと、その自描画プロセッサ用のデータフォーマットへの変換を指示するフォーマットコード204A、204B、204C～204nが記憶されている命令記憶回路205A、205B、205C～205nの記憶データを選択する。これにより、描画プロセッサに入力されたオペコード101の所望する演算が可能となるようにする。

なお、この自描画プロセッサ用のオペコードと、フォーマットコードは、分離して記憶しておき、デコーダ201がオペコード101の解釈にしたがい、別々に指定してもよい。

なお、前記フラグ202の出力データは、第1図セクタ105とデータバス回路106の選択信号109となるので、自描画プロセッサ特有の命令だけが入力される場合、または、自描画プロ

セッサ特有の命令以外の命令だけが入力される場合は、フラグは、固定しておいても良い。

第1図のセクタ105は、選択信号109により、命令100が含んでいたオペコード101と変換テーブル104で変換されたオペコード107の選択を行なう。すなわち、選択信号109により自描画プロセッサ用の命令の時は、オペコード101を有効とし、自描画プロセッサ以外の、他の描画プロセッサ用の命令の時は、オペコード107を有効としてオペコード110として選択する。

オペコード110は、マッピング回路111で制御メモリ114の有するマイクロルーチンの開始アドレスにマッピングされる。この開始アドレスの値はマイクロアドレスレジスタ112に一時記憶され、その値よりマイクロルーチン内の一命令は順次読み出される。

次に、前記データバス回路106について説明する。

データバス回路は、たとえば、自描画プロセ

ッサの直線描画の命令が、データに始点と終点を備えてあるものである場合に、終点だけ補え、始点は描画プロセッサ内に設定してあるデータを使用する命令が入力されたときに、不足分のデータを描画プロセッサ内部よりロードし、補うといった機能を有する。

この機能により、自描画プロセッサの直線描画の命令で、入力された直線描画の異なる命令を実行可能とする。

データバス回路106の動作を第3図より説明する。

一例として、描画プロセッサの直線描画の命令の処理アルゴリズムが、始点と終点を含み、かつ、各点は絶対座標で指定されるオペランドデータを必要とするときに、実行されたプログラムが、自描画プロセッサ以外の他の描画プロセッサ用に作成されたプログラムであり、かつプログラムに含まれている直線を描画する命令のオペランドデータが、始点を描画プロセッサ内の状態データとする終点データだけを含み、また、その終点が始点

に対する相対座標で指定されている場合について、詳細に説明する。

データバス回路106には、データ102とデータ119が入力される。データ119は、描画プロセッサの状態を示すデータであり、この例では、始点を示す位置データである。

データ102は、データフォーマット変換回路300に入力され変換される。

この場合、まず、セレクト305は、前記始点を示す位置データ119を有効とし、ALU303に送る。ALU303は、このデータを、そのまま始点データ304として第1図の入力レジスタ120に出力する。

次に、前記始点データ304をセレクト305で、データフォーマット変換回路300で変換された終点の相対位置を示すデータ301をセレクト302で選択し、ALU303に送る。ALU303は、この2のデータより絶対座標系の終点データ304を演算し、終点データ304として、第1図の入力レジスタ120に出力する。

400C、400Dを制御し、入力データ102の各ビットを選択し、データ301に出力する。

第4図b、c、dに各選択信号402A、402B、402Cが有効となったときのデータの各ビットの変換状態を示す。

第4図bは、選択信号402Aが有効となったとき、つまり、無変換状態である。第4図cは、選択信号402Bが有効となったとき、つまり、隣接ビットの変換状態である。第4図dは、選択信号402Cが有効となったとき、つまり、上位ビットと下位ビットの総入れ替え状態を示したものである。

第4図では、4ビット構成のデータについて説明したが、4ビット以外の複数のビット構成のデータでも同様に実現できる。

また、このデータフォーマット変換回路は、被変換データと前記データフォーマットコードを、そのアドレスに、変換データをその記録データとするメモリによって実現しても良い。この場合、後述する変換テーブル101の構成と同様に構成す

また、入力データレジスタ120に一時記憶されたデータは、演算回路117において、随時必要ときに演算を施すために読み出される。

以上のように、データバス回路106により、オペランドデータの形式の不足の補完や、データの座標系列を変換を行うことにより、プロセッサの有する命令セットのオペコードの機能の代替可能範囲を拡張し、オペランドの変換機能を拡張する。

なお、データ119と、セレクト302、305を適宜、制御することにより、オペランドデータの特種ビットの補充や、キャラクタコード系列の変換等を、必要に応じて行っても良い。

次に、データバス回路中のデータフォーマット変換回路300の動作を、第4図を用いて説明する。

第4図aは、4ビットデータの変換回路であり、デコーダ401は、データフォーマットコード108を解釈し、選択信号402A、402B、402Cを生成し、セレクト400A、400B、

ることが望ましい。

以上、説明したように、これらの処理により、自描画プロセッサ以外の、他の描画プロセッサ用に作成されたプログラムを変更することなく描画プロセッサでの実行を可能となる。

第5図に、第1図で示した変換テーブル101を、DRAM (Dynamic Random Access Memory) で構成した場合の例を示す。

500は、アドレスバスであり、501は、データバスであり、図示していない描画プロセッサ全体の制御部とのバスであるシステムバスとのインタフェースをとる。502は、選択信号であり、503のセレクトに入力される。504はDRAMであり、第2図で示したオペコード203A、203B、203C～203nと、データフォーマットコード204A、204B、204C～204nと等価なデータを記憶する。506は、DRAM制御信号でありDRAM504に記憶されるデータの書き込み読みだし制御を行なう。507は、出力データバス

である。

次に第5図の動作の説明をする。ユーザは、該自描画プロセッサ用のオペコードおよびデータフォーマットコードの一覧と、自描画プロセッサ以外の他の描画プロセッサ用のオペコードの一覧の対応を参照する変換テーブルの内容を変更するため、アドレスバス500とデータバス501を介してDRAM504にアクセスする。

この時、セクタ503は、選択信号502によりアドレスバス500を有効としてDRAM504のアドレス508に出力する。

さらにユーザは、アドレスバス500に、実行するプログラムで用いられるオペコードとデータフォーマットコードを入力し、データバス501には、自描画プロセッサ内に定義されているオペコードとデータフォーマットコードを入力して、DRAM504に記憶させる。

また、プログラムが実行されて命令が描画プロセッサに入力されたときは、セクタ503は、選択信号502により、オペコード101を有効

として、DRAM504のアドレス508に出力する。

この時、DRAM504に記憶されたデータが出力データバス507に出力される。この出力データ507は、第1図に示したオペコード107、データフォーマットコード108、選択信号109を含んでいる。

以上の動作により、実行されたプログラムの命令が自動的にエミュレートされる。

なお、さらに前記のDRAMをSRAM (Static Random Access Memory) に置き換えた場合でも同様の回路構成である。

また、ROM (Read Only Memory)、EPROM (Erasable and Programmable Read Only Memory) にも置き換え可能であるが、この場合は、ユーザは、メモリの内容を任意に書き替えることはできず、適宜、自描画プロセッサ以外のターゲットとする他の描画プロセッサの命令セット用のデータが記憶されたROM、EPROMに書き換えることになるが、回路の構成としては、

DRAMで構成した場合と同様の回路構成で実現できる。

以上説明してきたように、本実施例によれば、等価機能を有する他の描画プロセッサ用に作成されたプログラムは、内容を変更することなく、本発明の描画プロセッサでの実行時に自動的に描画プロセッサ用の命令への変換を行なわれるので、等価機能を有する描画プロセッサにおける異機種間の互換性をとることが容易にできる。

また、前記変換テーブル104や、データフォーマット変換回路300を書替可能なメモリで構成することにより、ユーザが、随時、任意にプログラムすることができ、さらに、自描画プロセッサ以外の他の描画プロセッサ用の命令セットを常に記憶しておく必要がなくなる。

また、このメモリをEPROMで構成することにより、処理速度が高速化し、かつ、ユーザが任意に変換内容を決定できるようになる。

また、この書替可能なメモリをSRAMで構成することで、処理速度の高速化が図れる。

なお、本実施例では、描画プロセッサを例に説明したが、描画プロセッサ以外のプロセッサにおいても同様に実現できる。

【発明の効果】

以上のように本発明によれば、所望の処理を行うべくプロセッサに入力されたプログラムのオペコードの機能が、プロセッサに定義されているオペコードの機能と同一である場合には、異なったフォーマットまたはコードで作成されたものであっても、支障なく実行できるプロセッサを提供することができる。

また、あわせて、プロセッサに入力されたプログラムのオペコードの機能が、プロセッサに定義されているオペコードの機能と等価である場合には、異なったフォーマットまたはコードで作成されたものであっても、支障なく実行できる描画プロセッサを提供することができる。

4. 図面の簡単な説明

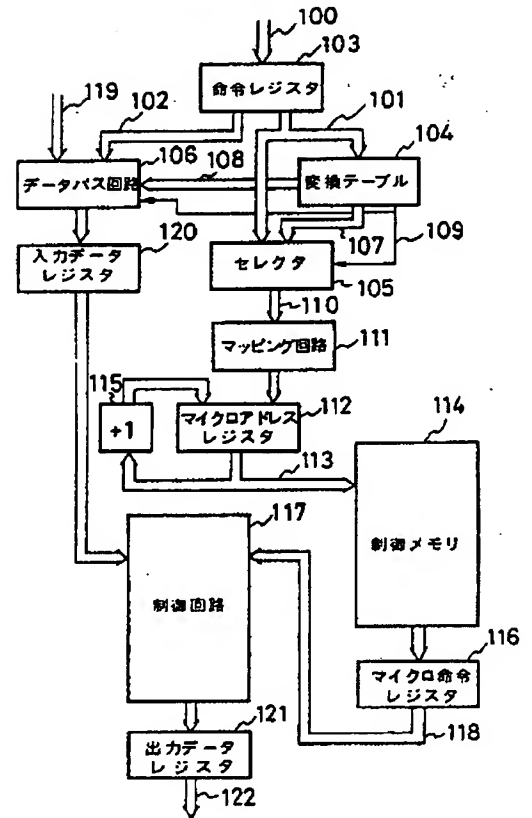
第1図は、本発明の一実施例の描画プロセッサの描画処理部の構成を示すブロック図、第2図は、

変換テーブルの構成の一例を示すブロック図、第3図は、データバス回路の構成の一例を示すブロック図、第4図は、データフォーマット変換回路の構成の一例を示すブロック図、第5図は、変換テーブルの構成の一例を示すブロック図である。

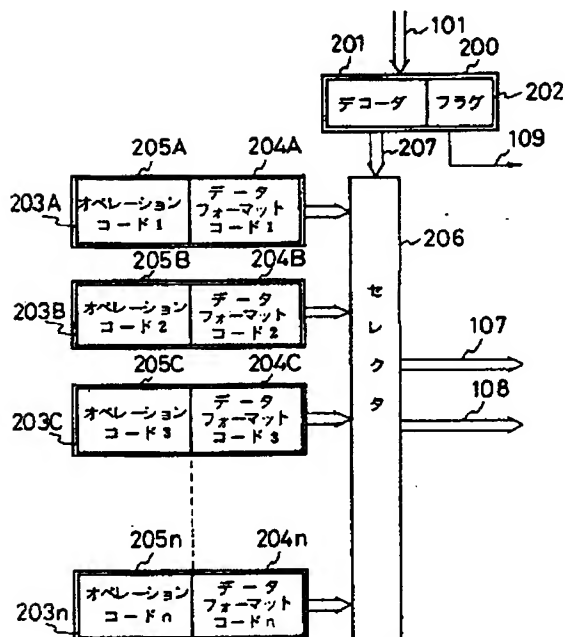
1 0 3 … 命令レジスタ、1 0 4 … 変換テーブル、
1 0 5 … セレクタ、1 0 6 … データバス回路、
1 1 1 … マッピング回路、
1 1 2 … マイクロアドレスレジスタ、
1 1 4 … 制御メモリ、
1 1 6 … マイクロ命令レジスタ、
1 1 7 … 演算回路、1 2 0 … 入力データレジスタ、
1 2 2 … 出力データレジスタ。

出願人 株式会社 日立製作所
(ほか1名)
代理人 弁理士 富田和子

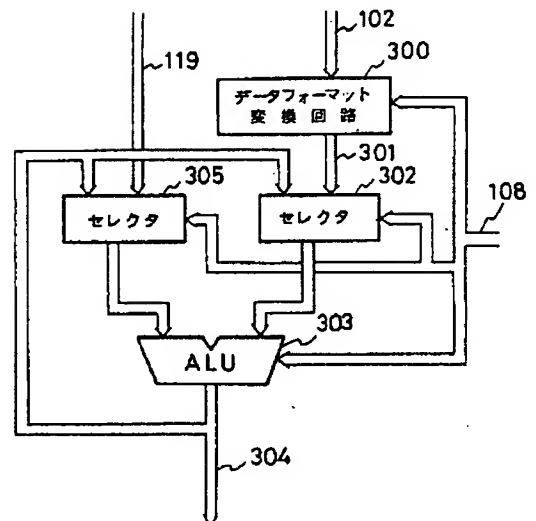
第 1 圖



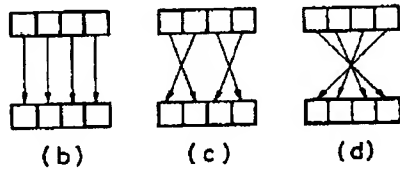
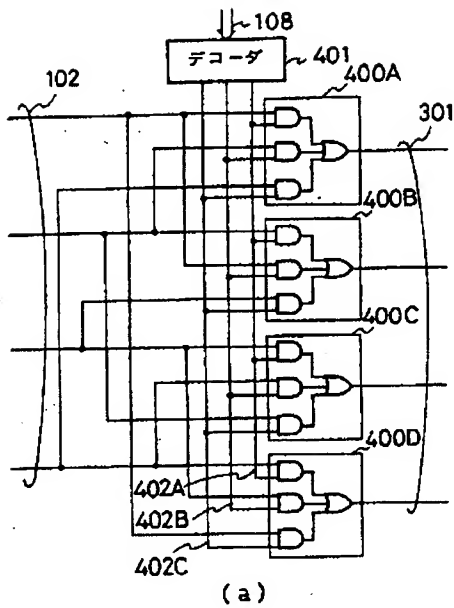
第 2 図



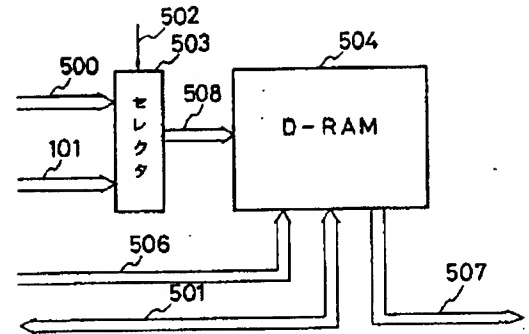
第 3 図



第 4 図



第 5 図



第 1 頁の続き

⑦発明者	真野	宏之	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑦発明者	坂井	浩之	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑦発明者	発知	恭生	神奈川県横浜市戸塚区吉田町292番地 株式会社日立マイクロソフトウェアシステムズ内